

CLIPPEDIMAGE= JP403201409A

PAT-NO: JP403201409A

DOCUMENT-IDENTIFIER: JP 03201409 A

TITLE: NTC THERMISTOR AND MANUFACTURE THEREOF

PUBN-DATE: September 3, 1991

INVENTOR- INFORMATION:

NAME

UEDA, SHUSAKU

FUKUYAMA, JUNICHI

UEHARA, TAKAYUKI

FUJIMOTO, MASAYUKI

INT-CL (IPC): H01C007/04

US-CL-CURRENT: 338/22R

ABSTRACT:

PURPOSE: To obtain a chip type thermistor having two or more pairs of electrodes formed on one element by a method wherein two continued columns of holes in parallel with each other are perforated on a tabular sintered member which becomes a thermistor element, the sintered member is cut into rectangular shape along the center line of the columns of holes, the cut pieces are dipped into an electrode paste layer, and after an electrode part has been formed on the element by conducting an electrode baking process, it is cut into elements.

CONSTITUTION: A tabular sintered member 4 is formed, and two continuous rows of holes 6 are perforated in the above-mentioned sintered member 4 using a drill 5 with prescribed intervals. Besides, the sintered member is cut into rectangular shape along the center line of the above-mentioned hole lines using a dicing saw. Then, a rectangular sample 1, which is a base material, is dipped into an electrode paste layer 7 of fixed thickness prepared on a

flat stand 8, and an electrode material is applied. Subsequently, an electrode is formed through drying and baking processes. Then, the surface of the electrode is scraped by a dicing saw so as to obtain a desired electrode width on the surface of the electrode, and each of the electrodes 2 are made independent. Lastly, the above-mentioned base material 1 is cut into pieces, and a thermistor, having a recessed part 3 on the desired electrode 2, is obtained.

COPYRIGHT: (C)1991,JPO&Japio

----- KWIC -----

Current US Cross Reference Classification - CCXR:

338/22R

## ⑪ 公開特許公報 (A) 平3-201409

⑫ Int. Cl.<sup>5</sup>  
H 01 C 7/04識別記号 庁内整理番号  
6835-5E

⑬ 公開 平成3年(1991)9月3日

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 NTCサーミスタおよびその製造方法

⑮ 特願 平1-338509  
⑯ 出願 平1(1989)12月28日

⑰ 発明者 上田 周作	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑰ 発明者 福山 淳一	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑰ 発明者 上原 孝行	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑰ 発明者 藤本 正之	東京都台東区上野6丁目16番20号	太陽誘電株式会社内
⑰ 出願人 太陽誘電株式会社	東京都台東区上野6丁目16番20号	
⑰ 代理人 弁理士 丸岡 政彦		

## 明細書

## 1. 発明の名称

NTCサーミスタおよびその製造方法

## 2. 特許請求の範囲

① 電子回路の温度補償に使用されるチップタイプのNTCサーミスタであって、サーミスタ素体上に各電極毎に凹部を有する互いに接触しない2対以上の電極が同一方向に形成されていることを特徴とするNTCサーミスタ。

② サーミスタ素体となる板状の焼結体上に、穿孔によって直線状に配列する孔列を順次平行に設け、これら孔列の中心線に沿って該焼結体を短冊状に切断し、得られた短冊状焼結体を一定厚さの電極ペースト層に浸漬した後、乾燥および焼付により電極部を形成し、さらに、所望の電極幅が得られるように該電極部表面を所定の間隔で平行に削り取って各電極を該素体上に独立させた後、個々のサーミスタ素体に裁断するとかなるNTCサーミスタの製造方法。

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、負の温度係数をもったチップタイプのサーミスタおよびその製造方法に関する。

## 【従来の技術】

電子回路基板は、雰囲気温度あるいは基板上の実装された電子部品の発熱の影響を受け、その結果、異常加熱による部品の破損または回路定数の変化などの問題が発生する。

上記のような問題に対し、電子回路の温度上昇補償用に負の温度係数をもったNTCサーミスタが従来より一般に使用されてきたが、基板温度検出精度を高め、また基板上の電子部品の実装密度を上げるため、第3図に示される形状のチップタイプのサーミスタが基板に表面実装されている。すなわち、Mn、Fe、Ni、Co、Cuなどの酸化物の複合焼結体からなるサーミスタ素体1の両端に電極部2を有するチップタイプのサーミスタである。

## 【発明が解決しようとする課題】

しかしながら、従来のN T C型チップタイプサーミスタでは、サーミスタ1個に対して1つの機能しか有しておらず、従って回路で多個所の温度補償を必要とする基板では、複数のサーミスタを搭載する必要があった。また、機械による自動実装化には、素子同士間のクリアランスが必要であり、このため、複数の素体の搭載は実装密度を高める点で大きな障害となっていた。

一方、近年電子部品の小型化、低コスト化に伴い、単位面積当りの素子の実装価格が増大しつつある。

以上のような背景から、1個のチップタイプサーミスタに複数の機能を持たせることが要望されていた。

本発明は1個のチップタイプサーミスタに複数の機能をもつようなサーミスタの製造方法を確立し、もって上述の問題点を解消し得るチップタイプサーミスタを提供することを目的とする。

#### 【課題を解決するための手段および作用】

本発明者らは、前記の目的を達成すべく研究の

結果、サーミスタの素体となる板状の焼結体に互いに平行する一連の孔列を穿孔し、この孔列の中心線に沿って焼結体を短冊状に切断し、これらを電極ペースト層に浸漬し、さらに電極焼付工程を経て電極部を素体上に形成し、電極部を所定の間隔で平行に削り取って独立した電極を素体上に形成してから個々の素体に裁断すれば、1つの素体に複数の機能を持ったサーミスタが得られること、しかも、電極の半田付けの際、互いに近接する電極間のハンダブリッジの危険をも上記穿孔によって電極部に形成された凹部に過剰半田を引き込むことにより回避できることを見い出し本発明に到達した。

したがって本発明の一つの目的は、電子回路の温度補償に使用されるチップタイプのN T Cサーミスタであって、サーミスタ素体上に各電極毎に凹部を有する互いに接触しない2対以上の電極が同一方向に形成されていることを特徴とするN T Cサーミスタを提供することである。

本発明のもう一つの目的は、サーミスタ素体と

なる板状の焼結体上に、穿孔によって直線状に配列する孔列を順次平行に設け、これら孔列の中心線に沿って該焼結体を短冊状に切断し、得られた短冊状焼結体を一定厚さの電極ペースト層に浸漬した後、乾燥および焼付により電極部を形成し、さらに、所望の電極幅が得られるように該電極部表面を所定の間隔で平行に削り取って各電極を該素体上に独立させた後、個々のサーミスタ素体に裁断することからなるN T Cサーミスタの製造方法を提供することである。

第1図は本発明の製造方法により作成されたチップタイプネットワークサーミスタの斜視図であって、チップタイプサーミスタの同一素体1上に、互いに接触しない電極2が2対以上形成されることにより、1つの素子に対し、複数の機能を持たせることが可能である。例えば上記第1図のチップタイプネットワークサーミスタの等価回路を模式的に示した第2図に見られるように、それぞれ1対ずつの電極2a、2b、2cに結線した場合、3つの独立したサーミスタとして機能する

ことが理解される。この時、3つの抵抗値は電極幅Dによって設計される。この電極幅Dは全電極にわたって同一である必要がなく、所望の抵抗値を得るために調整される。

また、3つのサーミスタ定数(B定数)は電極幅Dのいかんに問わらず一定である。

素体となる焼結体にドリルで設けた孔列を切断したことによって設けられた電極部の凹部3は、ハンダブリッジ対策として設けられたもので、電極にクリーム半田を印刷した後のリフロー加熱処理工程で軟化した半田が表面張力によって上記凹部3に引き込まれるため、過剰な半田が隣接する電極と接触して短絡するのを防ぐ作用をしている。

以下、実施例により本発明をさらに詳しく説明する。

#### 【実施例】

第4図は、本発明のサーミスタの製造工程を示す図であり、同図(a)～(f)は各工程の順序を説明するための斜視図または側面図である。これら図面を参照して本発明サーミスタの製造工程

を説明する。

第4図(a)に示すように、先ず板状の焼結体4を調製し、次いで、上記焼結体4上にドリル5により同図(b)に示されるように所定の距離および間隔をもって一連の孔6を穿孔する。

さらに、ダイシングソーを用いて、上記孔列の中心線に沿って焼結体を短冊状にカッティングする。この作業によりサーミスタ素体1が同図(c)に示されているような状態で得られる。

次に、上記のようにして得られた素体である短冊状試料1を同図(d)に示すように、平台8上に準備した一定厚みの電極ベースト層7に浸漬し、電極材料を塗布する。その後、乾燥、焼付工程を経て電極が形成される。

次いで、ダイシングソーによって、同図(e)に示すように、電極表面上に所望の電極幅が得られるように、(電極表面を削り(9は切削部分である)それぞれ電極2を独立させる。

最後に同図(f)に示すように再びダイシングソーを用いて、上記の素体1を個々に裁断して、

所望の電極2に凹部3を有するサーミスタ素体を得る。

#### [発明の効果]

以上説明したように、本発明のサーミスタでは、1素子に対して2対以上の電極が形成されているので、チップタイプサーミスタ1素子に対し、複数のサーミスタとして機能させることが可能となる上、回路基板の高密度化、または単位面積当たりの回路基板のコストダウンに貢献し得る効果がある。

#### 4. 図面の簡単な説明

第1図は、本発明の製造方法により作成されたチップタイプサーミスタの斜視図、第2図はこのサーミスタの等価回路を模式的に示した図である。

第3図は従来のサーミスタを示す斜視図である。

第4図は、本発明サーミスタの製造工程を示す図であり、同図(a)～(f)は順次各工程を説明するための斜視図または側面図である。

#### 符号の説明

1 ……サーミスタ素体

2、2a、2b、2c、……電極

3 ……凹部

4 ……焼結体

5 ……ドリル

6 ……孔

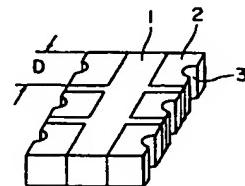
7 ……電極ベースト

8 ……平台

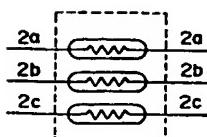
9 ……切削部分

D ……電極幅

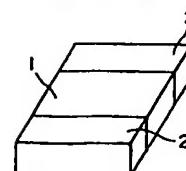
第1図



第2図



第3図



1 ……サーミスタ素体  
2,2a,2b,2c …電極  
3 ……凹部  
D ……電極幅

第4図

